

[First Hit](#) [Previous Doc](#) [Next Doc](#) [Go to Doc#](#)☐ [Generate Collection](#) [Print](#)

L2: Entry 13 of 16

File: DWPI

Sep 28, 2000

DERWENT-ACC-NO: 2000-602249
DERWENT-WEEK: 200209
COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Semiconductor device, especially MOSFET, combining advantages of solid and SOI architectures has insulating cavity in channel region between source and drain regions, and defining with the regions a thin silicon layer located above cavity

INVENTOR: JURCZAK, M; SKOTNICKI, T

PRIORITY-DATA: 1999FR-0003470 (March 19, 1999)

[Search Selected](#)[Search ALL](#)[Clear](#)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
<input type="checkbox"/> WO 200057480 A1	September 28, 2000	F	027	H01L029/10
<input type="checkbox"/> EP 1166362 A1	January 2, 2002	F	000	H01L029/10
<input type="checkbox"/> FR 2791178 A1	September 22, 2000		000	H01L021/335

INT-CL (IPC): [H01 L 21/335](#); [H01 L 21/336](#); [H01 L 29/10](#); [H01 L 29/772](#)

ABSTRACTED-PUB-NO: WO 200057480A

BASIC-ABSTRACT:

NOVELTY - Insulating cavity (2) is located in a channel region (1a) between source (5) and drain (6) regions, and defines with the regions (5, 6) a 1-50 nm thick silicon layer located above the cavity (2). The insulating cavity has a length representing at least 70% of a predetermined minimum channel length.

DETAILED DESCRIPTION - The semiconductor device, particularly a MOSFET, comprises a silicon body (1) having an upper surface coated with a thin gate dielectric layer (4), and in which are formed source (5) and drain (6) regions that define between them a channel region (1a) having a minimal predetermined length, a gate (7) on the thin gate dielectric channel above the channel region (1a).

A continuous or discontinuous insulating cavity (2) is formed in the channel region (1a) between the source (5) and drain (6) regions. The cavity (2) defines with the source and drain regions a thin silicon layer of thickness 1-50 nm and located above the insulating cavity. The length of the cavity is at least 70% to the predetermined minimum length of the channel (1a).

The insulating cavity (2) can be an air-filled or a dielectric-filled cavity.

An INDEPENDENT CLAIM is given for a process for manufacture of the semiconductor device.

USE - MOSFET transistors.

ADVANTAGE - Silicon layer and buried oxide layer thicknesses can be reduced to the order of several nanometers in order to resist short channel effects.

DESCRIPTION OF DRAWING(S) - The drawing shows a cross-section of a SON (silicon-on-nothing)-

MOSFET according to the invention.

Silicon substrate 1

Channel region 1a

Insulating cavity 2

Thin silicon layer 3

Thin gate dielectric layer 4

Source region 5

Drain region 6

Gate 7

Spacers 8, 9

[Previous Doc](#)

[Next Doc](#)

[Go to Doc#](#)



DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITE DE COOPERATION EN MATIÈRE DE BREVETS (PCT)

(51) Classification internationale des brevets ⁷ : H01L 29/10, 21/336	A1	(11) Numéro de publication internationale: WO 00/57480 (43) Date de publication internationale: 28 septembre 2000 (28.09.00)
---	----	--

(21) Numéro de la demande internationale: PCT/FR00/00641

(22) Date de dépôt international: 16 mars 2000 (16.03.00)

(30) Données relatives à la priorité:
99/03470 19 mars 1999 (19.03.99) FR(71) Déposant (pour tous les Etats désignés sauf US): FRANCE
TELECOM [FR/FR]; 6, place d'Alleray, F-75015 Paris (FR).

(72) Inventeurs; et

(75) Inventeurs/Déposants (US seulement): JURCZAK, Malgo-
rzata [FR/FR]; 3bis, rue Moyrand, Résidence St-Exupéry,
F-38000 Grenoble (FR). SKOTNICKI, Thomas [FR/FR];
105, rue de la Ferme, F-38920 Crolles Montfort (FR).(74) Mandataire: BUREAU D.A. CASALONGA-JOSSE; 8, av-
enue Percier, F-75008 Paris (FR).(81) Etats désignés: JP, KR, US; brevet européen (AT, BE, CH,
CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL,
PT, SE).

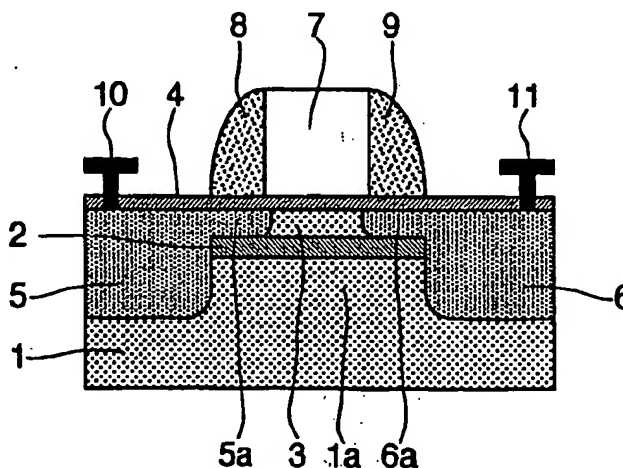
Publiée

Avec rapport de recherche internationale.

(54) Title: NOVEL SEMICONDUCTOR DEVICE COMBINING THE ADVANTAGES OF SOLID AND SOI ARCHITECTURES, AND
METHOD FOR MAKING SAME(54) Titre: NOUVEAU DISPOSITIF SEMI-CONDUCTEUR COMBINANT LES AVANTAGES DES ARCHITECTURES MASSIVE
ET SOI, ET PROCEDE DE FABRICATION

(57) Abstract

The invention concerns a device comprising a silicon substrate (1) having a top surface coated with a thin gate dielectric layer (4) and wherein are formed source and drain regions (5, 6) defining between them a channel region (1a), a gate (7) on the thin gate dielectric layer (4) above the channel (1a) region. The invention is characterised in that it comprises in the channel region (1a) a continuous or discontinuous insulating cavity (2) defining with the source and drain regions a thin silicon layer (3) 1 to 50 nm thick located above the insulating cavity, said insulating cavity (2) having a length representing at least 70 % of a predetermined minimum channel length. The invention is applicable to MOSFET transistors.



(57) Abrégé

Le dispositif comprend un substrat de silicium (1) ayant une surface supérieure revêtue d'une mince couche de diélectrique de grille (4) et dans lequel sont formées des régions de source et de drain (5, 6) définissant entre elles une région de canal (1a), une grille (7) sur la mince couche diélectrique de grille (4) au-dessus de la région de canal (1a), caractérisé en ce qu'il comprend dans la région de canal (1a) une cavité isolante (2) continue ou discontinue délimitant avec les régions de source et de drain une mince couche de silicium (3) de 1 à 50 nm d'épaisseur et située au-dessus de la cavité isolante, ladite cavité isolante (2) ayant une longueur représentant au moins 70 % d'une longueur minimale prédéterminée de canal. Application aux transistors MOS à effet de champ.

UNIQUEMENT A TITRE D'INFORMATION

Codes utilisés pour identifier les Etats parties au PCT, sur les pages de couverture des brochures publiant des demandes internationales en vertu du PCT.

AL	Albanie	ES	Espagne	LS	Lesotho	SI	Sllovénie
AM	Arménie	FI	Finlande	LT	Lituanie	SK	Slovaquie
AT	Autriche	FR	France	LU	Luxembourg	SN	Sénégal
AU	Australie	GA	Gabon	LV	Lettonie	SZ	Swaziland
AZ	Azerbaïdjan	GB	Royaume-Uni	MC	Monaco	TD	Tchad
BA	Bosnie-Herzégovine	GE	Géorgie	MD	République de Moldova	TG	Togo
BB	Barbade	GH	Ghana	MG	Madagascar	TJ	Tadjikistan
BE	Belgique	GN	Guinée	MK	Ex-République yougoslave de Macédoine	TM	Turkménistan
BF	Burkina Faso	GR	Grèce	ML	Mali	TR	Turquie
BG	Bulgarie	HU	Hongrie	MN	Mongolie	TT	Trinité-et-Tobago
BJ	Bénin	IE	Irlande	MR	Mauritanie	UA	Ukraine
BR	Brazil	IL	Israël	MW	Malawi	UG	Ouganda
BY	Bélarus	IS	Islande	MX	Mexique	US	Etats-Unis d'Amérique
CA	Canada	IT	Italie	NE	Niger	UZ	Ouzbékistan
CF	République centrafricaine	JP	Japon	NL	Pays-Bas	VN	Viet Nam
CG	Congo	KE	Kenya	NO	Norvège	YU	Yougoslavie
CH	Suisse	KG	Kirghizistan	NZ	Nouvelle-Zélande	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	République populaire démocratique de Corée	PL	Pologne		
CM	Cameroun	KR	République de Corée	PT	Portugal		
CN	Chine	KZ	Kazakhstan	RO	Roumanie		
CU	Cuba	LC	Sainte-Lucie	RU	Fédération de Russie		
CZ	République tchèque	LJ	Liechtenstein	SD	Soudan		
DE	Allemagne	LK	Sri Lanka	SE	Suède		
DK	Danemark	LR	Libéria	SG	Singapour		
EE	Estonie						

Nouveau dispositif semi-conducteur combinant les avantages des architectures massive et SOI, et procédé de fabrication.

La présente invention concerne de manière générale les dispositifs semi-conducteurs CMOS à haute performance pour le traitement rapide de signaux et/ou des applications basse tension/basse puissance et plus particulièrement des transistors MOS à effet de champ (MOSFET). La nouvelle architecture dite "SON" (Silicon on Nothing) combine les avantages des architectures massive et silicium sur isolant (SOI).

Un des facteurs limitatifs des MOSFETs d'architecture massive classiques est l'effet de substrat qui nuit aux performances du transistor. Cet inconvénient est évité dans les MOSFETs d'architecture silicium sur isolant (SOI) en séparant le mince film de silicium du substrat par une couche enterrée d'oxyde de silicium.

L'élimination de l'effet de substrat dans les MOSFETs d'architecture SOI à film mince totalement appauvri résulte en un accroissement du courant de drain.

Cependant, les MOSFETs d'architecture SOI ultramince souffrent d'une résistance source/drain (S/D) élevée du fait de jonctions peu profondes limitées par l'épaisseur de la couche de silicium et d'une mauvaise conductivité thermique. En outre, le coût de fabrication des substrats d'architecture SOI est élevé, ce qui a limité leur introduction sur le marché.

Il serait également avantageux de réduire l'épaisseur du film de silicium ainsi que celle de l'oxyde enterré jusqu'à des épaisseurs de l'ordre de quelques nanomètres afin de mieux résister aux effets canaux courts.

La présente invention a donc pour objet un dispositif semi-

conducteur tel qu'un transistor MOS à effet de champ qui remédie aux inconvénients des architectures de l'art antérieur et en particulier qui combine les avantages des architectures massive et SOI, et permet des épaisseurs du film de silicium ainsi que celles de l'oxyde enterré
5 extrêmement minces, de l'ordre de quelques nanomètres, inaccessibles par des techniques antérieures.

En particulier, la présente invention a pour objet un dispositif semi-conducteur tel qu'un MOSFET, dans lequel l'effet de substrat est supprimé sans accroissement des résistances séries des régions de source
10 et de drain, qui présente une meilleure dissipation de la chaleur que les substrats d'architecture SOI et dont le coût de fabrication est inférieur à celui des substrats d'architecture SOI.

La présente invention a également pour objet un procédé de fabrication d'un tel dispositif semi-conducteur.

15 Les buts ci-dessus sont atteints selon l'invention grâce à la réalisation d'un dispositif semi-conducteur tel qu'un MOSFET (appelé ci-après MOSFET-SON ou SON-MOSFET) dans lequel la couche diélectrique enterrée est limitée à la zone sous-jacente à la région de grille du dispositif.

20 Plus précisément, selon l'invention, on réalise un dispositif semi-conducteur comprenant un substrat de silicium ayant une surface supérieure revêtue d'une mince couche de diélectrique de grille et dans lequel sont formées des régions de source et de drain définissant entre
25 elles une région de canal de longueur minimale prédéterminée, une grille sur la surface supérieure du corps au-dessus de la région de canal, caractérisé par le fait qu'il comprend dans la région de canal entre les régions de source et de drain une cavité isolante continue ou discontinue délimitant avec les régions de source et de drain une mince couche de
30 silicium de 1 à 50 nm d'épaisseur et située au-dessus de la cavité isolante, cette cavité isolante ayant une longueur représentant au moins 70% de la longueur minimale prédéterminée de la région de canal.

Dans la présente invention, on entend par longueur minimale prédéterminée de la région de canal, la longueur de canal la plus courte utilisable dans un dispositif de technologie donnée.

35 Dans une réalisation de l'invention, la cavité isolante est

continue et a une longueur égale à la longueur minimale prédéterminée de la région de canal.

5 Dans une autre réalisation de l'invention, la cavité isolante est discontinue et comprend deux éléments de cavité adjacents respectivement aux régions de source et de drain, la somme des longueurs des éléments de cavité représentant au moins 70% de la longueur minimale prédéterminée de la région de canal.

En générale, la cavité isolante a une épaisseur de 1 à 50 nm, par exemple de l'ordre de 10 nm.

10 Lorsque les régions de source et de drain comportent des extensions adjacentes à la mince couche de diélectrique de grille (par exemple SiO_2 , Ta_2O_5 , Si_3N_4 , Al_2O_3 , etc.), la cavité isolante est de préférence située en dessous de ces extensions et de préférence encore adjacente à ces extensions.

15 La cavité isolante peut être constituée de tout matériau diélectrique solide ou gazeux approprié mais est de préférence une cavité remplie d'air.

Dans un mode de mise en oeuvre de l'invention, le procédé de fabrication du dispositif semi-conducteur selon l'invention comprend :

- 20 - la formation sur une surface supérieure d'un substrat de silicium d'une couche d'un matériau sélectivement éliminable qui de préférence assure une continuité de maille avec le substrat de silicium;
- 25 - la formation sur la couche de matériau sélectivement éliminable d'une mince couche de silicium ayant une épaisseur de 1 à 50 nm et assurant également de préférence une continuité de maille avec le matériau sélectivement éliminable et par suite avec le substrat de silicium;
- la formation sur la mince couche de silicium d'une mince couche de diélectrique de grille;
- 30 - la formation sur la mince couche de diélectrique de grille d'une grille;
- la gravure, le long de deux côtés opposés de la grille, de la mince couche de diélectrique de grille, de la mince couche de silicium, de la couche de matériau sélectivement éliminable et d'une partie supérieure
- 35 du substrat pour former des évidements;

- la gravure latérale sélective, partielle ou totale, de la couche de matériau sélectivement éliminable pour former une cavité continue ou des cavités discontinues, remplies d'air, dont la longueur totale représente au moins 70% d'une longueur minimale prédéterminée de la région de canal;

5 - facultativement, le remplissage de la cavité ou des cavités avec un matériau diélectrique solide; et

- le remplissage des évidements avec du silicium et leur dopage pour former les régions de source et de drain.

10 En d'autres termes, l'étape d'élimination du reste de la couche de matériau sélectivement éliminable consiste à enlever ce matériau sur une longueur représentant au moins 70% de la longueur totale de la couche restante pour obtenir, après formation des régions de source et de drain, une cavité isolante close d'une longueur d'au moins 70% de la longueur minimale prédéterminée de la région de canal.

15 De préférence, le procédé de l'invention comprend avant l'étape de gravure des évidements, une étape de dopage pour former des extensions des régions de source et de drain, suivie par une formation d'espaces.

20 On peut également, si on le souhaite, avant la formation des régions de source et de drain, former un deuxième jeu d'espaces à l'intérieur des évidements et de chaque côté de la cavité formée par élimination du matériau sélectivement éliminable pour empêcher une pénétration dans la cavité du silicium lors de l'étape ultérieure de remplissage des évidements avec du silicium pour former les régions de source et de drain.

25 Enfin, le remplissage des évidements avec du silicium et leur dopage peuvent s'effectuer simultanément.

30 Dans une réalisation recommandée de l'invention, le matériau sélectivement éliminable est choisi parmi les alliages $\text{Si}_{1-x}\text{Ge}_x$ où $0 < x \leq 1$ et les alliages $\text{Si}_{1-x-y}\text{Ge}_x\text{Cy}$ où $0 < x \leq 0,95$ et $0 < y \leq 0,05$.

La suite de la description se réfère aux figures annexées qui représentent respectivement :

Figure 1 - une vue en coupe schématique d'une réalisation d'un SON-MOSFET selon l'invention;

35 Figure 2 - une vue en coupe schématique d'une autre réalisation

d'un SON-MOSFET selon l'invention;

Figure 3 - un graphe du courant de sortie I_{ON} à polarisation grille et drain maximale normalisée à I_{OFF} (courant de sortie à polarisation de grille nulle et polarisation de drain maximale = 100 pA/ μ m) en fonction de l'épaisseur de la mince couche de silicium sous la grille, et avec une épaisseur de la cavité isolante de 30 nm.

Figure 4 - un graphe de la pente sous-le-seuil en fonction de l'épaisseur de la mince couche de silicium sous la grille, avec une épaisseur de la cavité isolante de 30 nm; et

Figures 5a à 5g - des vues schématiques en coupe des étapes principales d'un mode de mise en oeuvre du procédé de fabrication d'un SON-MOSFET selon l'invention.

Bien que la description sera faite pour un transistor MOS à effet de champ selon l'invention (SON-MOSFET), elle peut s'appliquer à tout autre dispositif semi-conducteur approprié.

Sur la figure 1, on a représenté un SON-MOSFET selon l'invention qui comprend, comme cela est classique, un substrat en silicium 1 ayant une surface supérieure et des régions de source et de drain 5, 6 définissant entre elles une région de canal 1a. Comme cela est également classique, les régions de source et de drain 5, 6 comportent des extensions 5a, 6a immédiatement sous-jacentes à la surface supérieure du substrat 1 définissant dans la région de canal 1a le canal proprement dit. La surface supérieure du corps 1 est revêtue d'une mince couche d'un diélectrique de grille 4, par exemple SiO_2 , et une grille 7 en silicium polycristallin est formée au-dessus de la région de canal 1a et flanquée d'espaceurs 8, 9, par exemple en Si_3N_4 . Enfin, des contacts 10 et 11 sont prévus sur les régions de source et de drain 5, 6.

La structure qui vient d'être décrite est une structure MOSFET classique.

Selon l'invention, une cavité 2 remplie d'air ou d'un matériau diélectrique solide approprié pontre les régions de source et de drain 5, 6 en dessous de la grille 7, de manière à isoler une mince couche de silicium 3 du reste du substrat de silicium 1.

Dans la réalisation représentée, la cavité isolante 2 est immédiatement sous-jacente aux extensions 5a, 6a des régions de source

et de drain 5, 6, l'épaisseur des extensions dans ce cas étant telle que la mince couche de silicium 3 a une épaisseur de 1 à 50 nm.

Bien évidemment, les régions de source et de drain 5, 6 pourraient ne pas comporter d'extensions. Dans ce cas, la cavité isolante 2 serait située de manière à ce que la mince couche de silicium 3 ait également une épaisseur de 1 à 50 nm.

L'épaisseur de la cavité isolante est de 1 à 50 nm, de préférence de l'ordre de 10 nm.

On a effectué une simulation d'un SON-MOSFET tel que décrit en liaison avec la figure 1 et avec les caractéristiques suivantes :

Longueur extensions L_{ex} : 35 nm

Longueur espaceur L_{sp} : 35 nm

$I_{OFF} = 100 \text{ pA}/\mu\text{m}$

V_{sup} (tension d'alimentation) = 1,2 V

$L_g = 1 \mu\text{m}$ (longueur de grille)

$X_j = 100 \text{ nm}$ (profondeur de jonction)

$N_{sub} : 7 \times 10^{17} \text{ cm}^{-3}$ (concentration de dopant dans le substrat)

$N_{HDD} = N_{SD} = 10^{20} \text{ cm}^{-3}$ (concentration de dopant dans les régions de source et de drain et les extensions)

t_{ox} (épaisseur couche d'oxyde de grille) : 3 nm

Cavité isolante : Longueur $L_c = L_g + 2 L_{ex}$

Epaisseur $t_c = 30 \text{ nm}$

Matériau diélectrique : air.

La figure 3 est un graphe du courant I_{ON} en fonction de l'épaisseur t_{si} de la mince couche de silicium 3.

Le graphe montre une amélioration d'environ 35% dans la commande du courant avec une épaisseur de cavité isolante d'air $t_c = 30 \text{ nm}$ et une mince couche de silicium sous la grille d'épaisseur $t_{si} = 20 \text{ nm}$.

La figure 4 est un graphe de la pente sous-le-seuil en fonction de l'épaisseur de la mince couche de silicium 3 sous la grille. Ce graphe montre que la pente sous-le-seuil approche la valeur idéale de 60 mV/décade lorsque la couche mince de silicium est totalement appauvrie.

On a représenté figure 2, une vue en coupe schématique d'une autre réalisation d'un SON-MOSFET selon l'invention.

Comme le montre la figure 2, le SON-MOSFET ne diffère de

celui de la figure 1 que par le fait que la cavité isolante d'air est constituée de deux éléments de cavité 2a, 2b, situés dans la région de canal 1a entre les régions de source et de drain 5, 6 et respectivement adjacents à celles-ci, immédiatement en dessous des extensions 5a, 6a.

5 Ces éléments de cavité 2a, 2b qui peuvent être de longueurs identiques ou différentes, sont tels que la somme de leurs longueurs représente au moins 70% de la longueur minimale prédéterminée de canal, égale dans la réalisation représentée à la somme $L_g + 2 L_{ex}$.

10 Comme précédemment, ces éléments de cavité définissent une mince couche de silicium 3 sous la grille 7 dont l'épaisseur varie de 1 à 50 nm.

On va maintenant décrire en liaison avec les figures 5a à 5g, un mode de mise en oeuvre du procédé de l'invention pour la fabrication d'un SON-MOSFET tel que représenté à la figure 1 et dont la cavité isolante est remplie d'air.

15 Comme le montre la figure 5a, on commence par déposer successivement, par épitaxie (par exemple par dépôt chimique en phase vapeur), sur un substrat de silicium 1, une couche d'un matériau sélectivement éliminable 22 d'épaisseur généralement comprise entre 1 et 20 50 nm et une mince couche de silicium 23, d'épaisseur de 1 à 50 nm.

Le matériau sélectivement éliminable peut être tout matériau sélectivement éliminable par rapport au silicium qui de préférence assure une continuité de maille avec le silicium du substrat au cours de l'épitaxie, tel que par exemple un alliage $Si_{1-x}Ge_x$ ($0 < x \leq 1$). Les alliages $Si_{1-x}Ge_x$ sont 25 recommandés car ils sont aisément éliminables sélectivement, soit au moyen d'une chimie oxydante bien connue (telle qu'une solution 40 ml HNO_3 70% + 20 ml H_2O_2 + 5 ml HF 0,5%), soit d'une attaque plasma isotrope .

De préférence, on utilisera des alliages $Si_{1-x}Ge_x$ ($0 < x \leq 1$) 30 comportant un taux élevé de Ge car la sélectivité de la gravure par rapport à Si s'accroît avec l'accroissement du taux de Ge dans l'alliage. On peut également utiliser des alliages $Si_{1-x-y}Ge_xC_y$ ($0 < x \leq 0,95$; $0 < y \leq 0,05$) qui se comportent comme les alliages $Si_{1-x}Ge_x$ quant à l'élimination sélective mais induisent moins de contraintes avec les couches de silicium.

35 On forme ensuite de manière classique, comme le montre la

figure 5b, une couche d'oxyde de grille 24 (SiO_2), puis sur cette couche d'oxyde de grille 24 une grille 7 en silicium. La couche 24 et la grille 7 reposent par leurs deux extrémités longitudinales (non représentées sur la coupe 5b) sur deux régions isolantes situées de part et d'autre du substrat 1. Ainsi, la grille 7 et la couche 24 permettront de soutenir la couche 23 après gravure de la couche 22 (voir ci-après figure 5d).

On forme alors, par implantation classique, des zones faiblement dopées 25a, 26a dans la couche mince de silicium 23, zones qui serviront ultérieurement à former les extensions 5a, 6a des régions de source et de drain. Bien que l'on ait représenté des zones faiblement dopées 25a, 26a limitées par la couche 22 de matériau sélectivement éliminable qui conduiront donc à des extensions 5a, 6a également limitées par cette couche, les zones faiblement dopées et par suite les extensions pourraient, bien que cela ne soit pas préféré, déborder en dessous de la couche 22.

Comme le montre la figure 5b, la surface supérieure de la grille 7 peut être protégée par une couche d'oxynitride de silicium 12 comme cela est bien connu et ses côtés flanqués d'espaceurs 8, 9 en Si_3N_4 .

On grave alors, comme le montre la figure 5c, par exemple au moyen d'un plasma, la couche d'oxyde de grille 24, la couche mince de silicium 23, la couche de matériau sélectivement éliminable 22 et une partie supérieure du substrat 1 de silicium, de chaque côté des espaceurs 8, 9 de manière à former deux évidements latéraux 25, 26.

A ce stade, on éliminera sélectivement le matériau de la couche 22 pour former une cavité isolante d'air 2 comme le montre la figure 5d.

Comme le montre la figure 5e, bien que cela ne soit pas absolument nécessaire, on peut obturer la cavité isolante d'air 2 en formant des espaceurs 27, 28, par exemple en silicium polycristallin, sur chacune des extrémités ouvertes de la cavité 2.

On procède alors classiquement comme le montre la figure 5f au dépôt sélectif de silicium dans les évidements (par exemple par croissance épitaxiale) jusqu'au comblement des évidements, puis comme on le voit à la figure 5g, à l'implantation de dopants pour former les régions de source et de drain 5 et 6.

L'achèvement du dispositif, tel que la formation de contacts et

l'encapsulation éventuelle, s'effectue de manière tout à fait classique.

Comme mentionné précédemment, bien que l'implantation des extensions puisse se faire de manière à ce qu'elles débordent en dessous de la ou des cavités isolantes, le procédé de l'invention permet d'obtenir une structure qui très avantageusement comporte des extensions limitées par la ou les cavités, c'est-à-dire ne débordant pas en dessous de la ou des cavités. La ou les cavités isolantes auront en général pour effet de bloquer la diffusion des dopants et donc de limiter l'épaisseur des jonctions des extensions. On peut ainsi réaliser des jonctions des extensions extrêmement minces.

Le dispositif obtenu est un SON-MOSFET selon l'invention.

REVENDICATIONS

1. Dispositif semi-conducteur comprenant un corps de silicium (1) ayant une surface supérieure revêtue d'une mince couche de diélectrique de grille (4) et dans lequel sont formées des régions de source et de drain (5, 6) définissant entre elles une région de canal (1a) ayant une longueur minimale prédéterminée de canal, une grille (7) sur la mince couche de diélectrique de grille (4) au-dessus de la région de canal (1a), caractérisé en ce qu'il comprend dans la région de canal (1a) entre les régions de source et de drain une cavité isolante (2) continue ou discontinue délimitant avec les régions de source et de drain une mince couche de silicium (3) de 1 à 50 nm d'épaisseur et située au-dessus de la cavité isolante, ladite cavité isolante (2) ayant une longueur représentant au moins 70 % de la longueur minimale prédéterminée de canal.
2. Dispositif semi-conducteur selon la revendication 1, caractérisée en ce que ladite cavité isolante (2) est continue.
3. Dispositif semi-conducteur selon la revendication 2, caractérisé en ce que ladite cavité isolante (2) a une longueur égale à la longueur minimale prédéterminée de canal.
4. Dispositif semi-conducteur selon la revendication 1, caractérisé en ce que la cavité isolante est discontinue et comprend deux éléments de cavité (2a, 2b) adjacents respectivement aux régions de drain et de source (5, 6).
5. Dispositif semi-conducteur selon l'une quelconque des revendications 1 à 4, dans lequel les régions de source et de drain (5, 6) comportent des extensions (5a, 6a) adjacentes à la mince couche de diélectrique de grille (4), caractérisé en ce que la cavité isolante (2) est disposée en dessous des extensions.
6. Dispositif semi-conducteur selon la revendication 5, caractérisé en ce que la cavité isolante (2) est adjacente aux extensions (5a, 6a).
7. Dispositif semi-conducteur selon l'une quelconque des revendications précédentes, caractérisé en ce que la cavité isolante (2) a une épaisseur allant de 1 à 50 nm.
8. Dispositif semi-conducteur selon l'une quelconque des

revendications précédentes, caractérisé en ce que la cavité isolante (2) est une cavité remplie d'air.

5 9. Dispositif semi-conducteur selon l'une quelconque des revendications principales, caractérisé en ce que la cavité isolante (2) est une cavité remplie d'un matériau diélectrique solide.

10. Dispositif semi-conducteur selon l'une quelconque des revendications précédentes, caractérisé en ce que le dispositif est un transistor à effet de champ.

10 11. Procédé de fabrication d'un dispositif semi-conducteur, caractérisé en ce qu'il comprend :

- la formation sur une surface supérieure d'un substrat de silicium (1) d'une couche d'un matériau sélectivement éliminable (22);
- la formation sur la couche de matériau sélectivement éliminable (22) d'une mince couche de silicium (23) d'épaisseur de 1 à 50 nm;

- la formation successivement sur la mince couche de silicium (23) d'une mince couche de diélectrique de grille (24) et d'une grille (7);
- la gravure le long de deux côtés opposés de la grille (7) de la mince couche de diélectrique de grille (24), de la mince couche de silicium (23), de la couche de matériau sélectivement éliminable (22) et d'une partie supérieure du substrat de silicium (1) pour former des évidements (25, 26);

- la gravure latérale sélective, partielle ou totale, de la couche de matériau sélectivement éliminable pour former une cavité continue ou des cavités discontinues, remplies d'air, dont la longueur totale représente au moins 70% d'une longueur minimale prédéterminée de canal;

- facultativement, le remplissage de la ou des cavités avec un matériau diélectrique;

- le remplissage des évidements (25, 26) avec du silicium pour former une cavité isolante (2); et

- le dopage des évidements remplis de silicium pour former les régions de source et de drain (5, 6).

12. Procédé de fabrication selon la revendication 11, caractérisé en ce qu'il comprend, préalablement à l'étape de gravure des évidements (25, 26), une étape de dopage par implantation pour former des extensions

(5a, 6a) des régions de source et de drain suivie d'une étape de formation d'espaces (8, 9).

13. Procédé de fabrication selon la revendication 11 ou 12, caractérisé en ce que les étapes de remplissage et de dopage des
5 évidements (25, 26) s'effectuent simultanément.

14. Procédé selon l'une quelconque des revendications 11 à 13, caractérisé en ce que la totalité de la couche restante de matériau sélectivement éliminable est enlevée au cours de l'étape de gravure sélective.

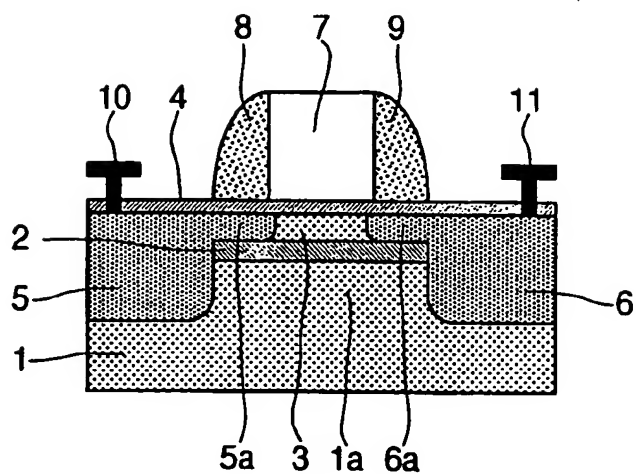
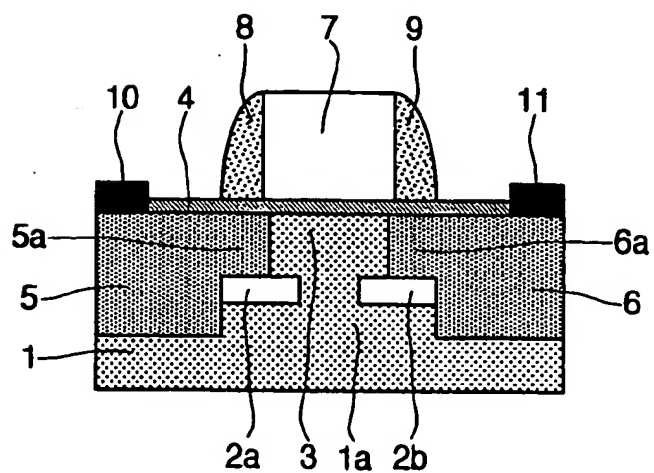
10 15. Procédé selon l'une quelconque des revendications 11 à 14, caractérisé en ce que le matériau sélectivement éliminable est choisi parmi $\text{Si}_{1-x}\text{Ge}_x$ ($0 < x \leq 1$) et $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ ($0 < x \leq 0,95$, $0 < y \leq 0,05$).

15 16. Procédé selon l'une quelconque des revendications 11 à 15, caractérisé en ce qu'il comprend en outre, après l'étape de gravure sélective et avant l'étape de remplissage des évidements, une étape de formation dans les évidements (25, 26) d'espaces (27, 28) pour former la cavité isolante (2).

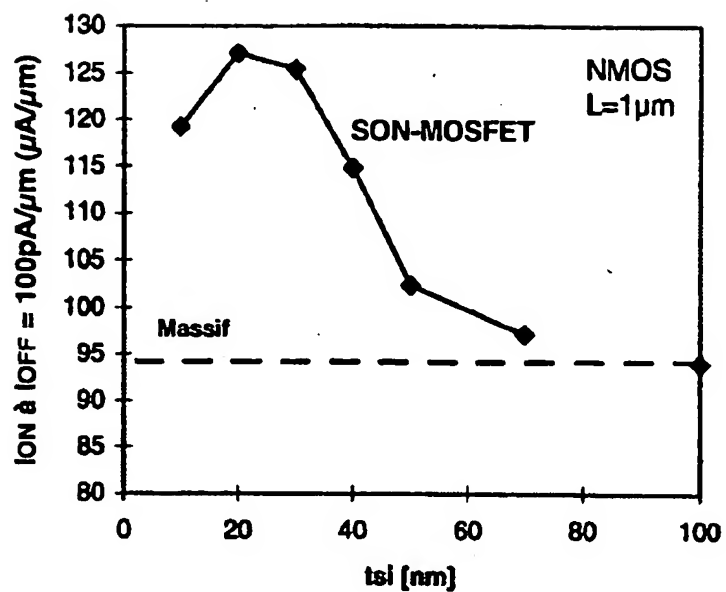
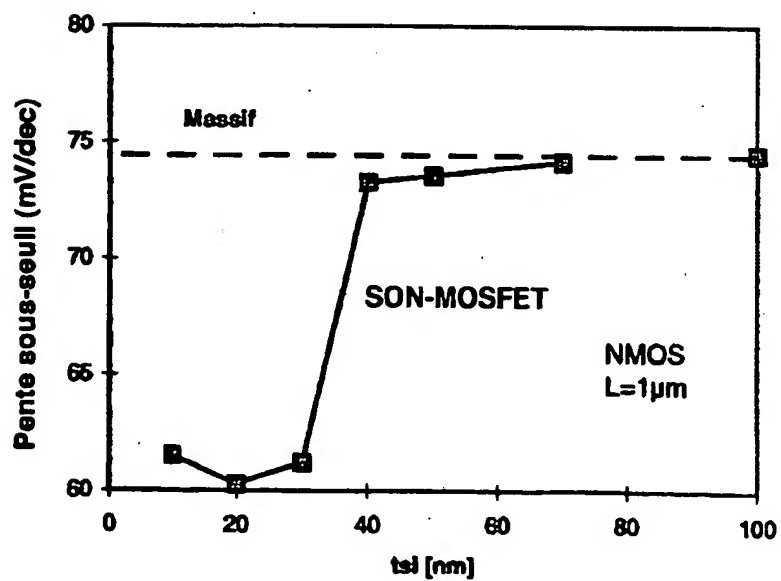
20 17. Procédé selon l'une quelconque des revendications 11 à 16, caractérisé en ce que la couche de matériau sélectivement éliminable (22) est en continuité de maille avec le substrat (1).

18. Procédé selon l'une quelconque des revendications 11 à 17, caractérisé en ce que le dispositif semi-conducteur est un transistor MOS à effet de champ.

1/5

FIG.1FIG.2

2/5

FIG.3FIG.4

3/5

FIG.5a

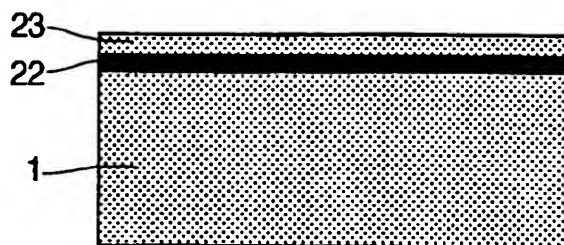


FIG.5b

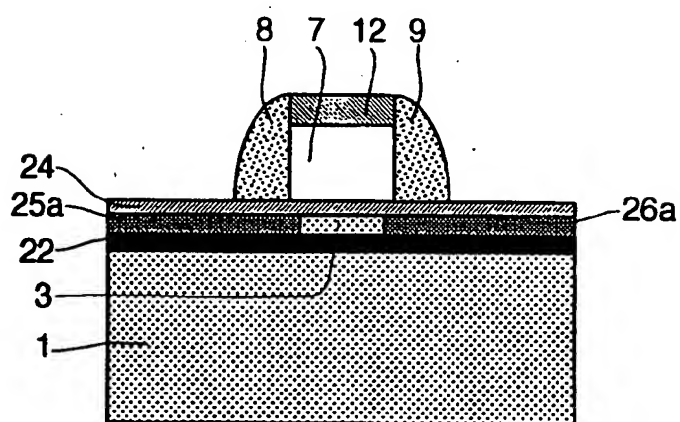
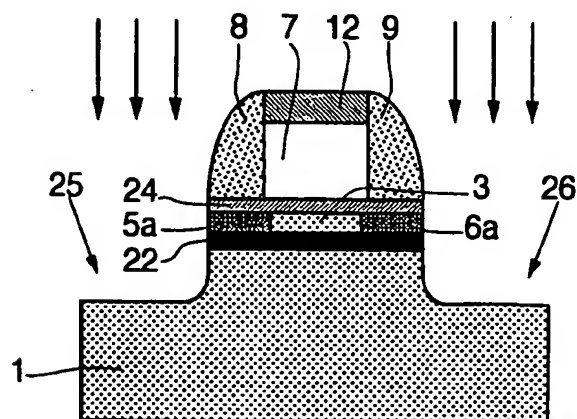


FIG.5c



4/5

FIG.5d

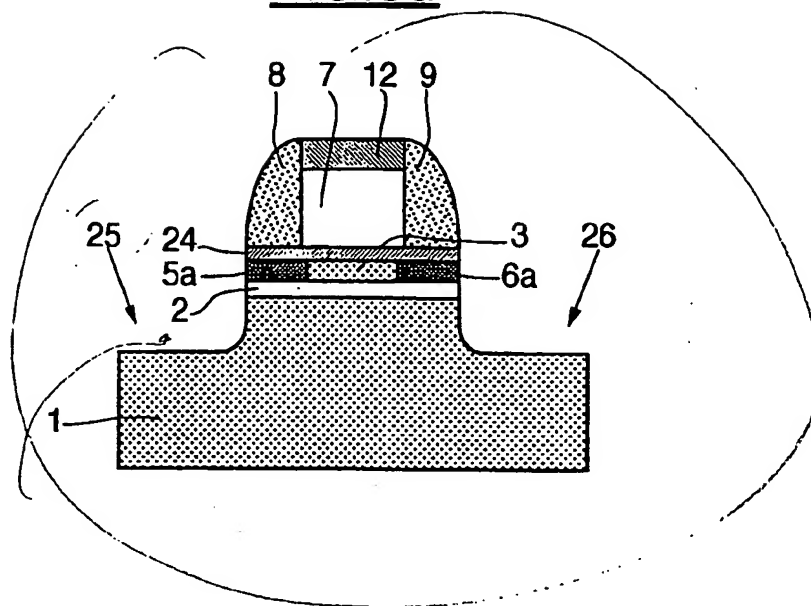
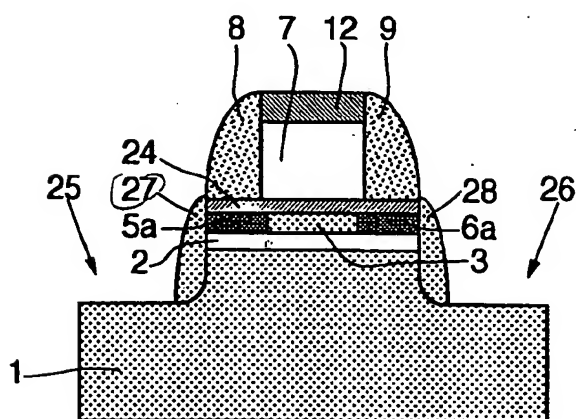


FIG.5e



5/5

FIG.5f

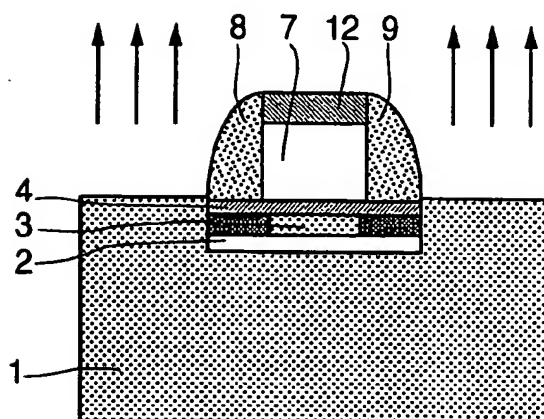
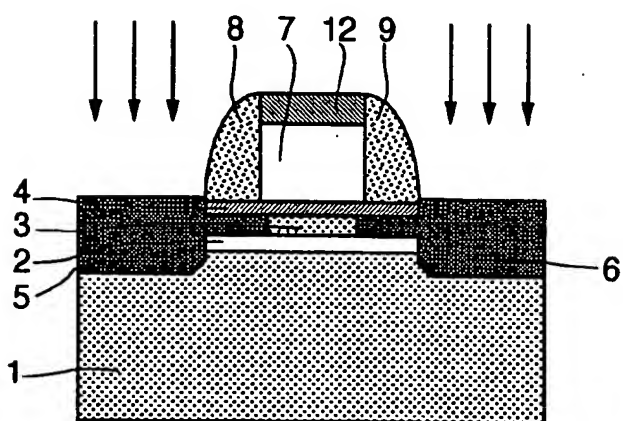


FIG.5g



INTERNATIONAL SEARCH REPORT

In National Application No

PCT/FR 00/00641

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L29/10 H01L21/336

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	PATENT ABSTRACTS OF JAPAN vol. 018, no. 095 (E-1509), 16 February 1994 (1994-02-16) -& JP 05 299647 A (SANYO ELECTRIC CO LTD), 12 November 1993 (1993-11-12) abstract figures 1-8	1-3,5-7, 9,10
A	----- -/-	5,6,11, 12,18

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"Z" document member of the same patent family

Date of the actual completion of the international search

3 May 2000

Date of mailing of the international search report

11/05/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Polesello, P

INTERNATIONAL SEARCH REPORT

International Application No

PCT/FR 00/00641

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	BOUILLON P ET AL: "SEARCH FOR THE OPTIMAL CHANNEL ARCHITECTURE FOR 0.18/0.12 MUM BULK CMOS EXPERIMENTAL STUDY" INTERNATIONAL ELECTRON DEVICES MEETING 1996. TECHNICAL DIGEST. IEDM, SAN FRANCISCO, DEC. 8 - 11, 1996, 8 December 1996 (1996-12-08), pages 559-562, XP000753808 INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS ISBN: 0-7803-3394-2 figure 1 paragraph 'EXPERIMENTAL!' paragraph 'HETEROSTRUCTURE!'	1-3,5-7, 9,10
A		11-15, 17,18
A	DE 195 43 859 A (HYUNDAI ELECTRONICS IND) 27 June 1996 (1996-06-27) figure 2 column 2, line 57 -column 3, line 39	1-3,5-7, 9,10
A	US 5 166 765 A (LEE KWING F ET AL) 24 November 1992 (1992-11-24) figure 2 column 1, line 29 - line 46	1-3,7,9, 10
A	US 4 571 609 A (HATANO HIROSHI) 18 February 1986 (1986-02-18) figures 5,8 column 3, line 28 - line 53	1,4,7,9, 10
A	PATENT ABSTRACTS OF JAPAN vol. 013, no. 088 (E-721), 28 February 1989 (1989-02-28) -& JP 63 266879 A (NEC CORP), 2 November 1988 (1988-11-02) abstract figures 1,5,7	1-3,7, 9-11,13, 18
A	US 5 494 837 A (SUBRAMANIAN CHITRA K ET AL) 27 February 1996 (1996-02-27) figures 3A-G,3L column 4, line 24 -column 5, line 29 column 5, line 41 - line 67 column 6, line 15 - line 34	11,13,18
A	WO 97 23000 A (PHILIPS ELECTRONICS NV ;PHILIPS NORDEN AB (SE)) 26 June 1997 (1997-06-26) figures 1,11 page 4, line 20 -page 5, line 27	1-3,5-7, 10-12, 15,17,18
	-/-	

INTERNATIONAL SEARCH REPORT

International Application No
PCT/FR 00/00641

C. (Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>US 5 646 058 A (WONG HON-SUM PHILIP ET AL) 8 July 1997 (1997-07-08)</p> <p>figure 1</p> <p>column 1, line 42 - line 45</p> <p>column 2, line 53 - column 3, line 50</p> <p>-----</p>	11,14

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/FR 00/00641

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
JP 05299647 A	12-11-1993	NONE	
DE 19543859 A	27-06-1996	CN 1131344 A	18-09-1996
		GB 2296817 A, B	10-07-1996
		JP 2894680 B	24-05-1999
		JP 9036354 A	07-02-1997
		US 5693542 A	02-12-1997
US 5166765 A	24-11-1992	DE 69228278 D	11-03-1999
		DE 69228278 T	05-08-1999
		EP 0529950 A	03-03-1993
		JP 5198798 A	06-08-1993
US 4571609 A	18-02-1986	JP 57007161 A	14-01-1982
		DE 3172418 D	31-10-1985
		EP 0042552 A	30-12-1981
JP 63266879 A	02-11-1988	JP 1940141 C	09-06-1995
		JP 6066465 B	24-08-1994
US 5494837 A	27-02-1996	NONE	
WO 9723000 A	26-06-1997	EP 0809865 A	03-12-1997
		JP 11500873 T	19-01-1999
US 5646058 A	08-07-1997	US 5604368 A	18-02-1997
		JP 2986373 B	06-12-1999
		JP 8046212 A	16-02-1996

D .de Internationale No
PCT/FR 00/00641

Formulaire PCT/SA/210 (deuxième partie) (juillet 1992)

RAPPORT DE RECHERCHE INTERNATIONALE

C. de l'information No
PCT/FR 00/00641

C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
Y	BOUILLON P ET AL: "SEARCH FOR THE OPTIMAL CHANNEL ARCHITECTURE FOR 0.18/0.12 MUM BULK CMOS EXPERIMENTAL STUDY" INTERNATIONAL ELECTRON DEVICES MEETING 1996. TECHNICAL DIGEST. IEDM, SAN FRANCISCO, DEC. 8 - 11, 1996, 8 décembre 1996 (1996-12-08), pages 559-562, XP000753808 INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS ISBN: 0-7803-3394-2 figure 1 alinéa 'EXPERIMENTAL' alinéa 'HETEROSTRUCTURE!'	1-3,5-7, 9,10
A	---	11-15, 17,18
A	DE 195 43 859 A (HYUNDAI ELECTRONICS IND) 27 juin 1996 (1996-06-27) figure 2 colonne 2, ligne 57 -colonne 3, ligne 39	1-3,5-7, 9,10
A	US 5 166 765 A (LEE KWING F ET AL) 24 novembre 1992 (1992-11-24) figure 2 colonne 1, ligne 29 - ligne 46	1-3,7,9, 10
A	US 4 571 609 A (HATANO HIROSHI) 18 février 1986 (1986-02-18) figures 5,8 colonne 3, ligne 28 - ligne 53	1,4,7,9, 10
A	PATENT ABSTRACTS OF JAPAN vol. 013, no. 088 (E-721), 28 février 1989 (1989-02-28) -& JP 63 266879 A (NEC CORP), 2 novembre 1988 (1988-11-02) abrégé figures 1,5,7	1-3,7, 9-11,13, 18
A	US 5 494 837 A (SUBRAMANIAN CHITRA K ET AL) 27 février 1996 (1996-02-27) figures 3A-G,3L colonne 4, ligne 24 -colonne 5, ligne 29 colonne 5, ligne 41 - ligne 67 colonne 6, ligne 15 - ligne 34	11,13,18
A	WO 97 23000 A (PHILIPS ELECTRONICS NV ;PHILIPS NORDEN AB (SE)) 26 juin 1997 (1997-06-26) figures 1,11 page 4, ligne 20 -page 5, ligne 27	1-3,5-7, 10-12, 15,17,18

	-/-	

RAPPORT DE RECHERCHE INTERNATIONALE

D
de internationale No
PCT/FR 00/00641

C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	<p>US 5 646 058 A (WONG HON-SUM PHILIP ET AL) 8 juillet 1997 (1997-07-08)</p> <p>figure 1</p> <p>colonne 1, ligne 42 - ligne 45</p> <p>colonne 2, ligne 53 - colonne 3, ligne 50</p>	11,14

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

C .de internationale No

PCT/FR 00/00641

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
JP 05299647 A	12-11-1993	AUCUN	
DE 19543859 A	27-06-1996	CN 1131344 A	18-09-1996
		GB 2296817 A,B	10-07-1996
		JP 2894680 B	24-05-1999
		JP 9036354 A	07-02-1997
		US 5693542 A	02-12-1997
US 5166765 A	24-11-1992	DE 69228278 D	11-03-1999
		DE 69228278 T	05-08-1999
		EP 0529950 A	03-03-1993
		JP 5198798 A	06-08-1993
US 4571609 A	18-02-1986	JP 57007161 A	14-01-1982
		DE 3172418 D	31-10-1985
		EP 0042552 A	30-12-1981
JP 63266879 A	02-11-1988	JP 1940141 C	09-06-1995
		JP 6066465 B	24-08-1994
US 5494837 A	27-02-1996	AUCUN	
WO 9723000 A	26-06-1997	EP 0809865 A	03-12-1997
		JP 11500873 T	19-01-1999
US 5646058 A	08-07-1997	US 5604368 A	18-02-1997
		JP 2986373 B	06-12-1999
		JP 8046212 A	16-02-1996